

PAT-NO: JP02004264534A  
DOCUMENT-IDENTIFIER: JP 2004264534 A  
TITLE: REFLECTIVE LIQUID CRYSTAL DISPLAY DEVICE  
PUBN-DATE: September 24, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
IWASA, TAKAYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
VICTOR CO OF JAPAN LTD	N/A

APPL-NO: JP2003054215

APPL-DATE: February 28, 2003

INT-CL (IPC): G02F001/1368, G02F001/1335

ABSTRACT:

PROBLEM TO BE SOLVED: To change a scanning direction of gate lines corresponding to types of usage of a reflective liquid crystal display device.

SOLUTION: In the case one pixel A and the other pixel B are disposed adjacent to each other on the same column, a connecting line 62, wired so as to overstride the gap between the two pixels A, B disposed adjacent to each other on the same column, has one end connected to a contact 24 for a capacitive electrode of a storage capacitor part C formed in the one pixel A and to a reflection pixel electrode 30, and has the other end intersecting a gate line 56 for the one pixel A via an insulating film in a functional film and connected to a source electrode 20 (or a drain electrode 18) of a switching

element 14 formed in the other pixel B.

COPYRIGHT: (C)2004,JPO&NCIPI

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-264534

(P2004-264534A)

(43) 公開日 平成16年9月24日 (2004.9.24)

(51) Int. Cl.<sup>7</sup>

F 1

テーマコード (参考)

G 0 2 F 1/1368

G 0 2 F 1/1368

2 H 0 9 1

G 0 2 F 1/1335

G 0 2 F 1/1335 5 2 0

2 H 0 9 2

審査請求 未請求 請求項の数 2 O L (全 24 頁)

(21) 出願番号 特願2003-54215 (P2003-54215)  
 (22) 出願日 平成15年2月28日 (2003.2.28)

(71) 出願人 000004329  
 日本ビクター株式会社  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 (74) 代理人 100083806  
 弁理士 三好 秀和  
 (74) 代理人 100068342  
 弁理士 三好 保男  
 (74) 代理人 100101247  
 弁理士 高橋 俊一  
 (72) 発明者 岩佐 隆行  
 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内  
 Fターム (参考) 2H091 FA14Y GA13 LA16 LA30 MA07

最終頁に続く

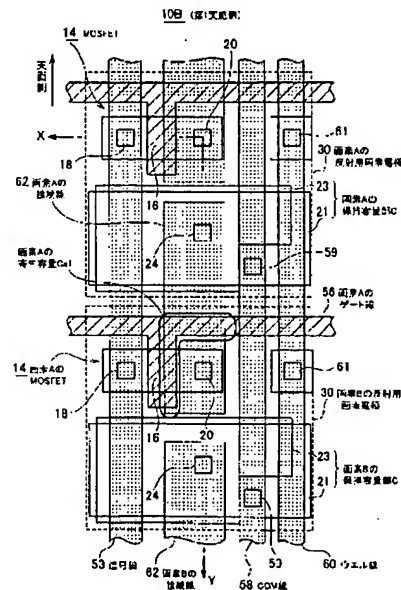
(54) 【発明の名称】 反射型液晶表示装置

(57) 【要約】

【課題】 反射型液晶表示装置の使用形態に応じてゲート線のスキャン方向を変更する。

【解決手段】 同一列上に一方の画素Aと他方の画素Bとを隣り合わせて配置した際、同一列上において、互いに隣り合わせて配置した2つの画素A、B間を跨いで配線された接続線62は、一端が一方の画素A内に形成した保持容量部Cの容量電極用コンタクト24及び反射用画素電極30に接続されると共に、他端が前記機能膜中の絶縁膜を介して一方の画素A用のゲート線56と交差して、他方の画素B内に形成したスイッチング素子14のソース電極20 (又はドレイン電極18) に接続されている。

【選択図】 図10



## 【特許請求の範囲】

## 【請求項1】

半導体基板上にスイッチング素子と、該スイッチング素子用の保持容量部とを電気的に分離してそれぞれ複数設け、且つ、複数の前記スイッチング素子及び複数の前記保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電気的に分離して複数設けて、一つの前記スイッチング素子に接続した一つの前記保持容量部及び一つの前記反射用画素電極を組にして一つの画素を形成し、この画素を前記半導体基板上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な対向電極を透明基板の下面に成膜して、複数の前記反射用画素電極と前記対向電極との間に液晶を封入して構成した反射型液晶表示装置において、前記反射型液晶表示装置の使用形態に応じてスキャン方向を変更され、且つ、各行に沿って配置した各スイッチング素子のゲート電極に接続するように行ごとに配線されて、ゲートパルスを送信方向の行順に供給するゲート線と、

10

各列に沿って配置した各スイッチング素子のドレイン電極（又はソース電極）に接続するよう金属膜を用いて列ごとに配線されて、ビデオ信号を列順に供給する信号線と、同一列上にあって、互いに隣り合わせて配置した2つの画素間を跨いで配線された接続線とを少なくとも備え、

前記接続線は、一端が一方の画素内に形成した前記保持容量部の容量電極用コンタクト及び前記反射用画素電極に接続されると共に、他端が前記機能膜中の絶縁膜を介して一方の画素用の前記ゲート線と交差して、他方の画素内に形成した前記スイッチング素子のソース電極（又はドレイン電極）に接続されていることを特徴とする反射型液晶表示装置。

20

## 【請求項2】

請求項1記載の反射型液晶表示装置において、

前記接続線は、前記ゲート線と交差させた部位の線幅を前記一方の画素内に延出させた線幅及び前記他方の画素内に延出させた線幅よりも幅狭くくびれさせたことを特徴とする反射型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、反射型液晶表示装置のレイアウト構造に係り、とくに、反射型液晶表示装置の使用形態（例えば、天吊り型、据え置き型）に応じてゲート線のスキャン方向を変更できるように構成した場合に、同一列上に一方の画素Aと、他方の画素Bとを隣り合わせて配置した際、ゲート線のスキャン方向に伴って生じる画素Aのフィールドスルー特性の影響を軽減できるように構成した反射型液晶表示装置に関するものである。

30

## 【0002】

## 【従来の技術】

最近、屋外公衆用や管制業務用のディスプレイとか、ハイビジョン放送規格やコンピュータ・グラフィックスのS.V.G.A規格に代表される高精細映像の表示用ディスプレイ等のように、映像を大画面に表示するための投射型液晶表示装置が盛んに利用されている。

## 【0003】

40

この種の投射型液晶表示装置には、大別すると透過方式を用いた透過型液晶表示装置と、反射方式を用いた反射型液晶表示装置とがあるが、前者の透過型液晶表示装置の場合には、各画素に設けられたTFT（Thin Film Transistor：薄膜トランジスタ）の領域が光を透過させる画素の透過領域とならないために開口率が小さくなるという欠点を有していることから、後者の反射型液晶表示装置が注目されている。

## 【0004】

一般的に、上記した反射型液晶表示装置では、半導体基板（Si基板）上にスイッチング素子と、該スイッチング素子用の保持容量部とを電気的に分離してそれぞれ複数設け、且つ、複数のスイッチング素子及び複数の保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電気的に分離して複数設けて、一つ

50

のスイッチング素子に接続した一つの保持容量部及び一つの反射用画素電極を組にして一つの画素を形成し、この画素を半導体基板上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の反射用画素電極に対向して企画素共通となる透明な対向電極を透明基板の下面に成膜して、複数の反射用画素電極と対向電極との間に液晶を封入して構成することで、透明基板側からカラー画像用の読み出し光を対向電極を介して液晶内に入射させて、スイッチング素子により対向電極と各反射用画素電極の間の電位差をビデオ信号に対応させて各反射用画素電極ごとに变化させ、液晶の配向を制御することでカラー画像用の読み出し光を変調して、各反射用画素電極で反射させたカラー画像用の読み出し光を透明基板から出射させるものである。

【0005】

10

図1は従来例1の反射型液晶表示装置において、一つの画素を模式的に拡大して示し、且つ、図5に示したX-Y矢視線に沿って断面した断面図、

図2は従来例1の反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するため図であり、(a)はアクティブマトリックス駆動回路のブロック図、(b)は(a)中のTR部を拡大して示した回路図である。

【0006】

図1に示した従来例1の反射型液晶表示装置10Aは一般的な反射型プロジェクタに適用できるように構成されているものであり、画像を表示するための複数の画素のうちで一つの画素を拡大して説明すると、基台となる半導体基板11は、単結晶シリコンのようなp型Si基板(又はn型Si基板でも良い)を用いており、この半導体基板(以下、p型Si基板と記す)11内の図示左側に、一つのp<sup>-</sup>ウエル領域12が左右のフィールド酸化膜13A、13Bによって画素単位で電気的に分離された状態で設けられている。そして、一つのp<sup>-</sup>ウエル領域12内に一つのスイッチング素子14が設けられており、このスイッチング素子14はMOSFET(Metal Oxide Semiconductor Field Effect Transistor)として構成されている。

20

【0007】

また、一つのスイッチング素子(以下、MOSFETと記す)14は、p<sup>-</sup>ウエル領域12上の略中央に位置するゲート酸化膜15上にポリシリコンからなるゲート電極16が成膜されることで、ゲートGが形成されている。

【0008】

30

また、MOSFET14のゲートGの図示左側にはドレイン領域17が形成され、且つ、このドレイン領域17上に第1ビアホールVia1内のアルミ配線によりドレイン電極18が成膜されることで、ドレインDが形成されている。

【0009】

また、MOSFET14のゲートGの図示右側にはソース領域19が形成され、且つ、このソース領域19上に第1ビアホールVia1内のアルミ配線によりソース電極20が成膜されることで、ソースSが形成されている。

【0010】

また、p型Si基板11上でp<sup>-</sup>ウエル領域12より図示右方に、イオン注入した拡散容量電極21が形成されており、この拡散容量電極21も左右のフィールド酸化膜13B、13Cによって画素単位で電気的に分離された状態で設けられており、この従来例1ではフィールド酸化膜13Aからフィールド酸化膜13Cまでの範囲が一つの画素と対応している。

40

【0011】

また、拡散容量電極21上には絶縁膜22と容量電極23とが順に成膜され、且つ、容量電極23上に第1ビアホールVia1内のアルミ配線により容量電極用コンタクト24が成膜されることで、一つのMOSFET14に対応した保持容量部Cが形成されている。

【0012】

また、フィールド酸化膜13A~13C、ゲート電極16、容量電極23の上方には、第1層間絶縁膜25と、第1メタル膜26と、第2層間絶縁膜27と、第2メタル膜28と

50

、第3層間絶縁膜29と、第3メタル膜30とによる複数の機能膜が上記した順で積層して成膜されている。

【0013】

この際、第1、第2、第3層間絶縁膜25、27、29は、絶縁性がある $\text{SiO}_2$ （酸化ケイ素）などを用いて成膜されている。

【0014】

また、第1、第2、第3メタル膜26、28、30は、導電性がある金属膜としてアルミ配線などにより一つのMOSFET14と対応して一つの画素ごとに所定のパターン形状にそれぞれ区画されており、同じ画素内では第1、第2、第3メタル膜26、28、30同士が電氣的に接続されているものの、隣り合う画素に対しては第1、第2、第3メタル膜26、28、30中に細い幅で略角状に周回した開口部26a（図4に図示）、28a、30aがそれぞれ形成されることで画素ごとに第1、第2、第3メタル膜26、28、30が電氣的にそれぞれ分離されている。

10

【0015】

そして、一つの画素内で、最下段の第1メタル膜26は一つの画素のMOSFET14と、このMOSFET用の保持容量部Cとにそれぞれ接続されている。

また、一つの画素内において、中段の第2メタル膜28は、上方に配置した後述の透明基板33側から入射させた読み出し光Lの一部を下方に設けたp型Si基板11上のMOSFET14側に対して遮光するための金属遮光膜として設けられているものである。即ち、第2メタル膜（金属遮光膜）28は、上段の隣り合う第3メタル膜30間に形成された開口部30aから侵入する読み出し光Lの一部を遮光するように開口部30aを覆って成膜されていると共に、第2層間絶縁膜27をエッチングした第2ビアホールVia2内にアルミ配線を成膜することにより最下段の第1メタル膜26に接続されている。

20

【0016】

また、一つの画素内において、上段の第3メタル膜30は、一つの画素に対応して隣り合う第3メタル膜30間に形成した開口部30aによって正形状に区切られて一つの反射用画素電極として設けられており、且つ、第3層間絶縁膜29をエッチングした第3ビアホールVia3内にアルミ配線を成膜することにより中段の第2メタル膜28に接続されている。

【0017】

また、第3メタル膜（以下、反射用画素電極と記す）30の上方には液晶31が封入されており、この液晶31を介して透明な対向電極32が透明基板（ガラス基板）33の下面に複数の反射用画素電極30に対向し、且つ、各反射用画素電極30に対する共通電極として画素ごとに区画されずにITO（Indium Tin Oxide）などを用いて成膜されている。

30

【0018】

次に、従来例1の反射型液晶表示装置10Aにおいて、p型Si基板11上に複数の画素を行方向と列方向とにマトリックス状に配置した時のアクティブマトリックス駆動回路について図2（a）、（b）を用いて説明する。

【0019】

図2（a）、（b）に示した如く、従来例1の反射型液晶表示装置10Aにおけるアクティブマトリックス駆動回路50では、一つのMOSFET14に接続した一つの保持容量部C及び一つの反射用画素電極30を組にして一つの画素が形成され、この画素の組がp型Si基板11上に行方向と列方向とにマトリックス状に複数配置されている。

40

【0020】

そして、複数の画素のうちで一つの画素を特定するために、水平シフトレジスタ回路51と垂直シフトレジスタ回路55とが列方向と行方向とに直交してそれぞれ設けられている。

【0021】

まず、水平シフトレジスタ回路51側では、ビデオスイッチ52を介して信号線53が列

50

方向（垂直方向）に向かって列ごとに配線されているものの、ここでは図示の都合上、信号線 53 は 1 本のみを水平シフトレジスタ回路 51 側に結線した状態で示す。この信号線 53 はビデオ信号を列順に供給するものである。この際、水平シフトレジスタ回路 51 とビデオスイッチ 52 との間に設けた信号線 53 にはビデオ線 54 が結線されている。また、一つの信号線 53 は、第 1 メタル膜 26（図 1）のアルミ配線により一つの列に沿って配置した複数の MOSFET 14 のドレイン電極 18 にそれぞれ接続されている。

#### 【0022】

次に、垂直シフトレジスタ回路 55 側では、ゲート線 56 が行方向（水平方向）に向かって行ごとに配線されているものの、ここでは図示の都合上、ゲート線 56 は 1 本のみを垂直シフトレジスタ回路 55 側に結線した状態で示す。このゲート線 56 はゲートパルスを後述のスキャン方向の行順に供給するものである。この際、一つのゲート線 56 は、ポリシリコンにより一つの行に沿って配置した複数の MOSFET 14 のゲート電極 16 にそれぞれ接続されている。

#### 【0023】

また、各 MOSFET 14 のソース電極 20 は、第 1 メタル膜 26（図 1）のアルミ配線により容量電極用コンタクト 24 を介して保持容量部 C の容量電極 23 に接続されていると共に、第 1、第 2 メタル膜 26、28（図 1）のアルミ配線を介して一つの反射用画素電極 30 にも接続されている。

#### 【0024】

この際、アクティブマトリックス駆動回路 50 は、周知のフレーム反転駆動法を適用しており、ビデオ信号はフレーム周期ごとに正極性及び負極性に反転し、即ち、例えば、ビデオ信号の第  $n$  フレーム期間が正書き込み、第  $(n+1)$  フレーム期間が負書き込みとなる。従って、信号線 53 からビデオ信号を入力する場合には、信号線 53 を MOSFET 14 のドレイン電極 18 か、又は、MOSFET 14 のソース電極 20 のいずれか一方に接続すれば良いが、ここでは上述したように信号線 53 を MOSFET 14 のドレイン電極 18 に接続している。尚、信号線 53 をソース電極 20 に接続した場合には、MOSFET 14 のドレイン電極 18 に一つの保持容量部 C 及び一つの反射用画素電極 30 が接続されるものである。

#### 【0025】

また、上記した従来例 1 の反射型液晶表示装置 10A において、固定電位として MOSFET 14 に供給するウエル電位と、保持容量部 C に供給する COM（コモン）電位とが必要である。

#### 【0026】

即ち、MOSFET 14 に供給するウエル電位は、ゲート線 56 と、一つの  $p^-$  ウエル領域 12（図 1）内に形成した不図示の  $p^+$  領域上のウエル電位用コンタクトとの間に固定電位として例えば 15V の電圧が印加されている。尚、 $n$  型 Si 基板を用いた場合にはウエル電位として例えば 0V を印加すれば良い。

#### 【0027】

一方、保持容量部 C に供給する COM 電位は、保持容量部 C の容量電極 24 と、拡散容量電極 22 上の不図示の COM（コモン）電位用コンタクトと間に固定電位として例えば 8.5V の電圧が印加されている。この際、COM 電位は、保持容量部 C を形成するためには基本的に何ボルトでもかまわないものの、ビデオ信号の中心値（例えば 8.5V）などに設定しておけば、保持容量部 C にかかる電圧は電源電圧の略半分ですむ。つまり、保持容量耐圧は電源電圧の略半分で良いので、保持容量部 C の絶縁膜 22 の膜厚のみを薄くして容量値を大きくすることが可能であり、保持容量部 C の保持容量値が大きいと、反射用画素電極 30 の電位の変動を小さくすることができ、フリッカーや液晶 31（図 1）の焼きつきなどに対して有利である。

#### 【0028】

そして、保持容量部 C は、一つの反射用画素電極 30 に印加された電位と COM 電位との電位差に応じて電荷を蓄積し、非選択期間に一つの MOSFET 14 がオフ状態になって

もその電圧を保持し、一つの反射用画素電極 30 にその保持電圧を印加し続ける機能を備えている。

#### 【0029】

ここで、従来例 1 の反射型液晶表示装置 10A におけるアクティブマトリックス駆動回路 50 において、一つの画素を駆動させる場合には、ビデオ線 54 から順次タイミングをずらして入力されたビデオ信号がビデオスイッチ 52 を介して列方向に配置した一つの信号線 53 に供給され、且つ、この一つの信号線 53 と行方向に配置した一つのゲート線 56 とが交差した位置にある一つの MOSFET 14 が選択されて ON 動作する。

#### 【0030】

そして、選択された一つの反射用画素電極 30 に信号線 53 を介してビデオ信号が入力されると電荷のかたちで保持容量部 C に書き込まれ、且つ、選択された一つの反射用画素電極 30 と対向電極 32 (図 1) と間にビデオ信号に応じて電位差が発生し、液晶 31 の光学特性を変調している。この結果、透明基板 33 側から入射させたカラー画像用の読み出し光 L (図 1) は液晶 31 で画素ごとに変調されて反射用画素電極 30 により反射され、透明基板 33 から出射される。このため、透過方式と異なって、読み出し光 L を 100% 近く利用でき、投射される画像に対して高精細と高輝度とを両立できる構造となっている。

#### 【0031】

次に、Si 基板 11 上で複数の画素を列方向と行方向とに直交してマトリックス状に配置した際、例えば一つの列上で反射型液晶表示装置 10A の天面側に配置した一方の画素 A と、この一つの列と同一列上で一方の画素 A の下方に隣り合わせて配置した他方の画素 B との間で発生する寄生容量について図 3 ~ 図 5 を用いて説明する。

#### 【0032】

図 3 は従来例 1 の反射型液晶表示装置において、複数の画素のうちで例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A、B の寄生容量を説明するための回路図、

図 4 は従来例 1 の反射型液晶表示装置において、複数の画素のうちで例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 5 に示した X-Y 矢視線に沿って断面した断面図、図 5 は従来例 1 の反射型液晶表示装置において、複数の画素のうちで例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 4 に示した X-Y 矢視線に沿って第 1 メタル膜側から半導体基板 (Si 基板) 側を見た平面図である。

#### 【0033】

まず、図 3 に示した如く、画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、上方に配置した画素 A には寄生容量 C a 1、C a 2 が存在している。また、画素 A の場合と同様に、下方に配置した画素 B にも寄生容量 C b 1、C b 2 が存在している。

#### 【0034】

即ち、画素 A のゲート線 56 と画素 A の MOSFET 14 のソース電極 20 側との間に寄生容量 C a 1 が存在し、且つ、画素 A の MOSFET 14 のソース電極 20 側と画素 B のゲート線 56 との間に寄生容量 C a 2 が存在している。また、画素 A の場合と同様に、画素 B のゲート線 56 と画素 B の MOSFET 14 のソース電極 20 側との間に寄生容量 C b 1 が存在し、且つ、画素 B の MOSFET 14 のソース電極 20 側と画素 C のゲート線 56 との間に寄生容量 C b 2 が存在している。

#### 【0035】

ここで、図 4 に示した如く、上方に配置した画素 A の MOSFET 14 のソース電極 20 が画素 A の保持容量部 C と画素 A の反射用画素電極 30 とに接続され、且つ、下方に配置した画素 B の MOSFET 14 のソース電極 20 が画素 B の保持容量部 C と画素 B の反射用画素電極 30 とに接続された状態で、画素 A と画素 B はそれぞれ電氣的に分離されている。



## 【0036】

また、図4に示したX-Y矢視線に沿って第1メタル膜26側からSi基板（半導体基板）11側を平面的に見た図5において、画素Aの領域及び画素Bの領域には、各MOSFET14のドレイン電極18及びゲート電極16並びにソース電極20が各画素領域内の左上方部位に行方向（水平方向）に沿ってそれぞれ配置され、且つ、各画素領域内の下方に拡散容量電極21、絶縁膜22（図1）、容量電極23を積層した各保持容量部Cが大きな面積を持ってそれぞれ配置されている。

## 【0037】

また、一つの行の画素A及びこの下方の行の画素Bにゲートパルスを供給するためのゲート線56、56は、ポリシリコンにより各画素領域内の上方部位に斜線枠で示した如くそれぞれ行方向（水平方向）に沿って配線され、且つ、各画素領域内の途中からT字状に分歧した部分が各MOSFET14、14のゲート電極16、16にそれぞれ接続されている。

10

## 【0038】

また、一つの列上の画素A、Bに対して共通であり且つ一つの列のビデオ信号を供給するための一つの信号線53は、第1メタル膜26（図4）のアルミ配線により各画素領域内の左側に網点枠で示した如く列方向（垂直方向）に沿って配線され、且つ、各画素A、Bの各MOSFET14、14のドレイン電極18、18に接続されている。

## 【0039】

また、画素A、B用の接続線57、57は、第1メタル膜26のアルミ配線により各画素領域内の略中央に網点枠で示した如く列方向（垂直方向）に沿ってそれぞれ画素駆動ごとに配線され、且つ、各画素A、Bの各MOSFET14、14のソース電極20、20にそれぞれ接続されていると共に、各画素A、Bの容量電極23、23上に設けた容量電極用コンタクト24、24にそれぞれ接続されており、更に、接続線57、57は第1、第2メタル膜26（図4）のアルミ配線を介して各画素A、Bの反射用画素電極30、30にそれぞれ接続されている。

20

## 【0040】

また、一つの列上の画素A、Bに対して共通であり且つ各画素A、BにCOM電位を供給するための一つのCOM線58は、第1メタル膜26（図4）のアルミ配線により各画素領域内の右側に網点枠で示した如く列方向（垂直方向）に沿って配線され、且つ、各画素A、Bの拡散容量電極21、21上に設けたCOM電位用コンタクト59、59に接続されている。

30

## 【0041】

また、一つの列上の画素A、Bに対して共通であり且つ各画素A、Bにウエル電位を供給するための一つのウエル線60は、第1メタル膜26（図4）のアルミ配線により各画素領域内でCOM線58よりも右側に網点枠で示した如く列方向（垂直方向）に沿って配線され、且つ、各画素A、Bのp<sup>-</sup>ウエル領域12、12（図4）内に設けたウエル電位用コンタクト61、61に接続されている。

## 【0042】

上記のように各線を配線した時に、画素Aの寄生容量Ca1は、斜線枠で示した画素Aのゲート線56と、網点枠で示した画素Aの接続線57とが互いに重なり合う部位（オーバーラップ部位）で発生している。また、画素Aの寄生容量Ca2は、網点枠で示した画素Aの接続線57と、斜線枠で示した画素Bのゲート線56とが互いに重なり合う部位（オーバーラップ部位）で発生しており、これらの状態を図4にも断面して示している。

40

## 【0043】

尚、画素Bの寄生容量Cb1、Cb2は、図4及び図5中での図示を省略しているものの、画素Aと同様に発生している。

## 【0044】

この際、実回路動作を考えた場合、画素Aにおいては、画素AのMOSFET14がOFFになった時点で、画素Aの反射用画素電極30の画素電位は次のフレームで再び画素A

50

のMOSFET14がONするまで、画素電位を固定していなければならない。この画素電位保持時間については、例えば1/30secの間に、例えば5mV以内の画素電位変動に抑えなければならない、この画素電位変動値を超えた場合は、フリッカーや液晶31(図1)の焼き付きといった不具合が発生する。

【0045】

ところで、一般的に、液晶表示装置内の各画素に寄生容量が存在すると、画素電圧が変動したり、走査線(ゲート線)の遅延によってフリッカが発生するために、この寄生容量に対して対策を施したアクティブマトリックス型液晶表示素子がある(例えば、特許文献1参照)。

【0046】

10

【特許文献1】

特開2001-75127号公報

図6は従来例2のアクティブマトリックス型液晶表示素子を示した等価回路図である。

【0047】

図6に示した従来例2のアクティブマトリックス型液晶表示素子100は、上記した特許文献1(特開2001-75127号公報)に開示されているものであり、ここでは特許文献1を参照して簡略に説明する。

【0048】

従来例2のアクティブマトリックス型液晶表示素子100では、行方向(水平方向)に沿って配置した複数の走査線101と、列方向(垂直方向)に沿って配置した複数の信号線102とが直交し、且つ、両線101、102の交わる部位にスイッチング素子であるTFT素子103がそれぞれ設けられている。

20

【0049】

そして、走査線101は各行に配置した各TFT素子103のゲート電極Gにそれぞれ接続され、一方、信号線102は各列に配置した各TFT素子103のソース電極Sにそれぞれ接続されている。更に、TFT素子103のドレイン電極Dに液晶容量104、蓄積容量105、画素電極107が接続されている。また、TFT素子103のゲート電極Gとドレイン電極Dとの間に寄生容量106が存在しており、この寄生容量106はゲート電極Gとドレイン電極Dの重なりによって生じている。

【0050】

30

ここで、TFT素子103のドレイン電極Dを構成する薄膜パターンを形成する工程において、露光時の露光ステージスキャン速度または露光量を変化させ、縮小補正値を制御することにより、走査線101で走査される行方向(水平方向)で隣り合うn番目のTFT素子103の寄生容量領域をn+1番目のTFT素子103の寄生容量領域よりも小さくなるパターンをもつアクティブマトリックス型液晶表示素子を形成して、行方向に隣り合う画素の寄生容量に面内分布を持たせることで、表示画面の均一性を改善し、高画質な液晶パネルを実現している旨が開示されている。

【0051】

【発明が解決しようとする課題】

ところで、図1に示した従来例1の反射型液晶表示装置10Aは、主にプロジェクタとして使用されるため、この使用方法として部屋の天井からさかさまに吊り下げて投影する天井吊り型と、床とか棚などにそのまま置いて投影する据え置き型の2種類が存在しており、1台の反射型液晶表示装置10Aで両方の使用を可能に構成されている。

40

【0052】

図7は従来例1の反射型液晶表示装置の使用形態を説明するための模式図であり、(a)は天井吊り型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャンU方向に走査する状態を示し、(b)は据え置き型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャンD方向に走査する状態を示した図、

図8は従来例1の反射型液晶表示装置において、ゲート線のスキャン方向により画素Aのフィールドスルー特性が異なる状態を説明するための信号波形図であり、(a)はゲート

50

線をスキャンU方向に走査した場合を示し、(b)はゲート線をスキャンD方向に走査した場合を示した図である。

【0053】

即ち、図7(a)に示したように、従来例1の反射型液晶表示装置10Aを天井吊り型として使用する場合には、筐体Kの底面Ka側を天井に対向させて吊り下げるために、複数の画素に対して先に図2(a)を用いて説明した垂直シフトレジスタ回路55でゲート線56をスキャンU方向の行順に走査することで、筐体Kの底面Ka側から天面Kb側に向かって一つの列上に配置した画素B、画素Aの順にスキャンさせている。

【0054】

一方、図7(b)に示したように、従来例1の反射型液晶表示装置10Aを据え置き型として使用する場合には、筐体Kの底面Ka側を床又は棚上に載置するために、複数の画素に対して垂直シフトレジスタ回路55でゲート線56を上記とは逆なスキャンD方向の行順に走査することで、筐体Kの天面Kb側から底面Ka側に向かって一つの列上に配置した画素A、画素Bの順にスキャンさせている。

【0055】

この際、ゲート線56のスキャン方向の異なりによって、従来例1の反射型液晶表示装置10Aにおける画素レイアウトでは画素電圧がフレームごとに非対称になってしまう不具合が発生しており、この原因を追及すると、上記したように一つの列上で列方向に上下隣り合わせて画素A、Bを配置した時に生じる画素Aの寄生容量Ca1、Ca2に起因することが判明した。

【0056】

より具体的に図5及び図8を併用して説明すると、まず、図8(a)に示した状態は、同一列上で一方の画素Aと他方の画素Bとを上下隣り合わせて配置した時に先に図2(a)を用いて説明した垂直シフトレジスタ回路55でゲート線56をスキャンU方向に走査した場合に、例えば全画面に「白表示」を書き込んだ場合のフレーム反転駆動法による駆動電圧波形を示している。

【0057】

ここで、一つの列上で反射型液晶表示装置10Aの天面側に配置した一方の画素Aに注目すると、画素Aに印加するビデオ信号SIGは、基準電圧0Vより上方で信号中心電圧Vs1gcを中心として下位電圧Vdと上位電圧Vpとの間を繰り返す矩形波であり、このビデオ信号SIGが一つの信号線53を介してフレーム周期ごとに正極性及び負極性で画素AのMOSFET14のドレイン電極18に印加されており、即ち、ビデオ信号SIGは第nフレーム(但しnは自然数)で正極性書き込みを行い、第(n+1)フレームで正極性に対して上下を反転した負極性書き込みを行っている。

【0058】

また、第nフレームHでビデオ信号SIGを画素Aに印加した後に、画素AのゲートパルスGA gが画素Aのゲート線56を介して画素AのMOSFET14のゲート電極16に所定の書き込み時間twに亘って電圧Vgで印加されるので、画素AのMOSFET14がONになると共に、これに伴ってビデオ信号SIGが画素Aの保持容量部Cに電荷として蓄積される。

【0059】

この際、ゲート線56をスキャンU方向に走査しているために、画素Aよりも先に駆動される画素BのゲートパルスGB gは点線で示したように画素AのゲートパルスGA gより前に画素BのMOSFET14のゲート電極16に印加されている。

【0060】

そして、画素AのゲートパルスGA gの立上がりと同時に画素Aの書き込み信号GAsが画素Aの反射用画素電極30にビデオ信号SIGの上位電圧Vpと略同じ値の画素電極電圧Vpで印加される。この時、画素Aの書き込み信号GAsは、▲1▼画素Aの書き込み特性と、▲2▼画素Aのフィールドスルー特性と、▲3▼画素Aの保持特性とに依存している。

## 【0061】

即ち、画素Aの書き込み信号G A sの立上がりは、画素Aの書き込み特性に依存しており、この画素Aの書き込み特性は画素AのM O S F E T 1 4のO N電流、書き込み時間t w、ビデオ信号S I Gの上位電圧V pによって左右される。

## 【0062】

また、画素AのゲートパルスG A gを画素AのゲートGに所定の書き込み時間t wに亘って印加した後でこのゲートGがO F Fした瞬間に、画素Aの書き込み信号G A sは画素電極電圧V pに対してフィールドスルー電圧 $\Delta V p 1$ 分だけ低くなる。

## 【0063】

この後、画素Aの書き込み信号G A sは画素Aの反射用画素電極3 0に接続した画素Aの保持容量部Cによる画素Aの保持特性によって第nフレーム目の終了に向かって徐々に下降する。この際、画素Aの保持特性は、画素AのM O S F E T 1 4のO F F電流、保持容量、保持時間、液晶抵抗を通じてのリーク電流などに依存している。

## 【0064】

ここで、上記した画素Aの書き込み信号G A s中のフィールドスルー電圧 $\Delta V p 1$ の画素電位への影響を見てみると、フィールドスルー電圧 $\Delta V p 1$ は正極性書き込み、負極性書き込みのどちらでも電位が基準電圧0 Vの方向に向かって減衰する。従って、ビデオ信号S I Gの信号中心電圧V s i g cに対して、正負の表示信号電位がフィールドスルー電圧 $\Delta V p 1$ 分だけ異なってしまうので、このままでは正負書き込み電位が異なってしまう、両者の間にD Cのオフセット成分が発生するため、対向電極電位V c o mをオフセット電位分だけ補正して正負のバランスをとる必要がある。

## 【0065】

そして、ゲート線5 6をスキャンU方向に走査した場合には、画素Aのフィールドスルー電圧 $\Delta V p 1$ は、先に示した図4及び図5中における画素Aの寄生容量C a 1によって決まる。この時、画素BのゲートパルスG B gは画素AのゲートパルスG A gよりも前に印加されるため、画素Aの寄生容量C a 1によるフィールドスルーが発生する前に画素BのゲートパルスG B gがO F Fになって画素BのゲートパルスG B gの電位が0 Vに確定(固定)されてしまうために、画素Aの寄生容量C a 2(図4、図5)によるフィールドスルーは発生しない。

## 【0066】

次に、図8(b)に示した状態は、一つの列上で列方向に上下隣り合わせて画素A、Bを配置した時に先に図2(a)を用いて説明した垂直シフトレジスタ回路5 5でゲート線5 6をスキャンD方向に走査した場合に、例えば全画面に「白表示」を書き込んだ場合のフレーム反転駆動法による駆動電圧波形を示している。

## 【0067】

この場合、第nフレーム目でビデオ信号S I Gを画素Aに印加した後に、画素AのゲートパルスG A gが画素Aのゲート線5 6を介して画素AのM O S F E T 1 4のゲート電極1 6に所定の書き込み時間t wに亘って電圧V gで印加され、この後、画素AのゲートパルスG A gがO F Fになった直後、画素BのゲートパルスG B gがO Nになる。そして、画素AのゲートパルスG A gがO F Fになる時に、先に示した図4及び図5中における画素Aの寄生容量C a 1によって基準電圧0 V方向に画素Aのフィールドスルーが発生する。しかしこの時、画素BのゲートパルスG B gがO Nになるために、画素AのゲートパルスG A gの電位が0 V方向に下降しつつ、一方、画素BのゲートパルスG B gの電位がV g方向に上昇しつつ、両ゲートパルスG A g、G B gの電位が変動中であるので画素Aの寄生容量C a 2(図4及び図5)によって基準電圧0 Vと反対方向に画素Aのフィールドスルーが発生する。

## 【0068】

この結果として、ゲート線5 6をスキャンD方向に走査した場合に、画素Aのフィールドスルー電圧が $\Delta V p 2$ となり、このフィールドスルー電圧 $\Delta V p 2$ はゲート線5 6をスキャンU方向に走査した場合のフィールドスルー電圧 $\Delta V p 1$ と比較して小さくなる。

## 【0069】

従って、DCのオフセット成分をキャンセルするための対向電極電位 $V_{com}$ は、スキャン方向Uとスキャン方向Dでは値が異なるため、対向電極電位 $V_{com}$ を一度設定してしまうと、スキャン方向を変更すると対向電極電位 $V_{com}$ の値が異なってしまうために液晶31（図4）にDC成分が発生することになり、フリッカーや液晶31の焼き付きといった問題が発生していた。

## 【0070】

一方、先に図6を用いて説明した特許文献1の技術思想では、行方向（水平方向）で隣り合う $n$ 番目と $n+1$ 番目の各TFT素子103の寄生容量領域に対して対策を施しているものの、列方向（垂直方向）で隣り合う $m-1$ 番目と $m$ 番目の各TFT素子103の寄生容量領域に対しては何等の対策を施していないので、従来例1におけるようなゲート線56のスキャンU方向、スキャンD方向の異なりにより、一つの列上で列方向に上下隣り合わせて配置した画素A、Bのフィールドスルー特性の影響に対して特許文献1の技術思想を適用することができない。

## 【0071】

そこで、反射型液晶表示装置の使用形態（例えば、天吊り型、据え置き型）に応じてゲート線のスキャン方向を変更できるように構成した場合に、同一列上に一方の画素Aと、他方の画素Bとを隣り合わせて配置した際、ゲート線のスキャンU方向、スキャンD方向に伴って生じる画素Aのフィールドスルー特性の影響を軽減できる反射型液晶表示装置が望まれている。

## 【0072】

## 【課題を解決するための手段】

本発明は上記課題に鑑みてなされたものであり、第1の発明は、半導体基板上にスイッチング素子と、該スイッチング素子用の保持容量部とを電気的に分離してそれぞれ複数設け、且つ、複数の前記スイッチング素子及び複数の前記保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電気的に分離して複数設けて、一つの前記スイッチング素子に接続した一つの前記保持容量部及び一つの前記反射用画素電極を組にして一つの画素を形成し、この画素を前記半導体基板上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な対向電極を透明基板の下面に成膜して、複数の前記反射用画素電極と前記対向電極との間に液晶を封入して構成した反射型液晶表示装置において、

前記反射型液晶表示装置の使用形態に応じてスキャン方向を変更され、且つ、各行に沿って配置した各スイッチング素子のゲート電極に接続するように行ごとに配線されて、ゲートパルスを送る方向の行順に供給するゲート線と、

各列に沿って配置した各スイッチング素子のドレイン電極（又はソース電極）に接続するように金属膜を用いて列ごとに配線されて、ビデオ信号を列順に供給する信号線と、同一列上にあって、互いに隣り合わせて配置した2つの画素間を跨いで配線された接続線とを少なくとも備え、

前記接続線は、一端が一方の画素内に形成した前記保持容量部の容量電極用コンタクト及び前記反射用画素電極に接続されると共に、他端が前記機能膜中の絶縁膜を介して一方の画素用の前記ゲート線と交差して、他方の画素内に形成した前記スイッチング素子のソース電極（又はドレイン電極）に接続されていることを特徴とする反射型液晶表示装置である。

## 【0073】

また、第2の発明は、上記した第1の発明の反射型液晶表示装置において、

前記接続線は、前記ゲート線と交差させた部位の線幅を前記一方の画素内に延出させた線幅及び前記他方の画素内に延出させた線幅よりも幅狭くくびれさせたことを特徴とする反射型液晶表示装置である。

## 【0074】

## 【発明の実施の形態】

以下に本発明に係る反射型液晶表示装置の一実施例を図9乃至図16を参照して<第1実施例>、<第2実施例>の順に詳細に説明する。

【0075】

<第1実施例>

図9は本発明に係る第1実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Aと画素Bとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Aの寄生容量を説明するために図10に示したX-Y矢視線に沿って断面した断面図、

図10は本発明に係る第1実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Aと画素Bとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Aの寄生容量を説明するために図9に示したX-Y矢視線に沿って第1メタル膜側から半導体基板（Si基板）側を見た平面図、

図11は本発明に係る第1実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素Aのフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、（a）はゲート線をスキャンU方向に走査した場合を示し、（b）はゲート線をスキャンD方向に走査した場合を示した図である。

【0076】

図9及び図10に示した本発明に係る第1実施例の反射型液晶表示装置10Bの構造形態は、先に図4及び図5を用いて説明した従来例1の反射型液晶表示装置10Aの構造形態に対して一部異なっているだけである。

【0077】

この第1実施例の反射型液晶表示装置10Bでは、使用形態（例えば天吊り型、据え置き型）に応じてスキャン方向を変更され且つゲートパルスをスキャン方向の行順に供給するゲート線56が、各行に沿って配置した各スイッチング素子（以下、MOSFETと記す）14のゲート電極16に接続するようにポリシリコンを用いて行ごとに配線されており、且つ、ビデオ信号を列順に供給する信号線53は、各列に沿って配置した各MOSFET14のドレイン電極18（又はソース電極20）に接続するように金属膜を用いて列ごとに配線されており、更に、同一列上にあって、互いに隣り合わせて配置した2つの画素A、B間を跨いで配線された接続線62は、一端が一方の画素A内に形成した保持容量部Cの容量電極用コンタクト24及び反射用画素電極30に接続されると共に、他端が機能膜中の絶縁膜25を介して一方の画素A用のゲート線56と交差して、他方の画素B内に形成したMOSFET14のソース電極20（又はドレイン電極18）に接続されることで、従来例1で説明したようなゲート線56のスキャンU方向（天吊り型の場合）、スキャンD方向（据え置き型の場合）の異なりに伴って生じる画素Aのフィールドスルー特性の影響を軽減できるようになしたものである。

【0078】

尚、説明の便宜上、先に示した従来例1の反射型液晶表示装置10Aと同じ構成部材に対して同一の符号を付して図示すると共に、同じ構成部材に対しては必要に応じて適宜説明し、従来例1と異なる構成部材に新たな符号を付して、従来例1と異なる点を中心にして説明する。

【0079】

即ち、図9及び図10に示した如く、本発明に係る第1実施例の反射型液晶表示装置10Bにおいて、半導体基板（以下、Si基板と記す）11上にMOSFET（スイッチング素子）14と、MOSFET用の保持容量部Cとを電氣的に分離してそれぞれ複数設け、且つ、複数のMOSFET14及び複数の保持容量部Cの上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極30を電氣的に分離して複数設けて、一つのMOSFET14に接続した一つの保持容量部C及び一つの反射用画素電極30を組にして一つの画素を形成し、この画素をSi基板11上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の反射用画素電極30に対向して透明な対向電極32を透明基板33の下面に成膜して、複数の反射用画素電極30と対向電極32との間に液晶31を封入して構成した点は、従来例1と同じである。

## 【0080】

また、一つの列上の画素A、Bに対して共通である信号線53及びCOM線58並びにウエル線60は従来例1と同じであるので詳述を省略する。

## 【0081】

ここで、従来例1と異なる点を説明すると、図10に示した如く、例えば一つの列上で反射型液晶表示装置10Bの天面側に一方の画素Aを配置し、且つ、一つの列と同一列上で一方の画素Aの下方に隣り合わせて他方の画素Bを配置すると共に、各画素内の上方部位にMOSFET14を配置する一方、各画素内の下方部位に保持容量部Cを配置した場合に、一方の画素Aにゲートパルスを供給するための画素Aのゲート線56は、画素Bの反射用画素電極30の下方に一方の画素A用として配置したMOSFET14のゲート電極16に接続されている。

10

## 【0082】

また、一方の画素Aの接続線62は、一方の画素Aと他方の画素Bとの間を跨いで列方向（垂直方向）に沿って画素駆動ごとに配線され、且つ、同一の線幅で配線されている。

## 【0083】

この際、一方の画素Aの接続線62は、一方の画素A内に延出させた一端が一方の画素A内に形成した保持容量部Cの容量電極用コンタクト24及び第1、第2メタル膜26、28を介して一方の画素A内の反射用画素電極30に接続されると共に、他方の画素B内に延出させた他端が機能膜中の第1層間絶縁膜25（図1）を介して一方の画素A用のゲート線56と交差して、他方の画素B内に形成したMOSFET14のソース電極20に接続されている。

20

## 【0084】

従って、一方の画素Aを駆動する場合には、画素Aの反射用画素電極30の下方に配置した保持容量部Cと、画素Aの反射用画素電極30と、画素Bの反射用画素電極30の下方に一方の画素A用として配置したMOSFET14とを組にしている。

## 【0085】

尚、図10での図示を一部省略するものの、画素Aの駆動の場合と同様に、他方の画素Bを駆動する場合には、画素Bの反射用画素電極30の下方に配置した保持容量部Cと、画素Bの反射用画素電極30と、不図示の画素Cの反射用画素電極30の下方に他方の画素B用として配置したMOSFET14とを組にすれば良い。

30

## 【0086】

これに伴って、図9に示した如く、画素Aの反射用画素電極30の下方に配置したMOSFET14と、画素Bの反射用画素電極30の下方に配置したMOSFET14は、第1メタル膜26中に細い幅で略角状に周回した開口部26bによってそれぞれ電気的に分離されている。この際、画素Aの反射用画素電極30の下方に配置したMOSFET14は画素Aよりも上方に隣り合わせた画素用であり、一方、上述したように画素Bの反射用画素電極30の下方に配置したMOSFET14は画素A用である。

## 【0087】

上記のように各線を配線した時に、図10に示したように、画素Aの寄生容量Ca1は、斜線枠で示した画素Aのゲート線56と、網点枠で示した画素Aの接続線62とが互いに重なり合う部位（オーバーラップ部位）で発生しているものの、画素Bのゲート線56（図示せず）と画素Aの接続線62とは互いに重なり合う部位（オーバーラップ部位）がないために従来例1で述べたような画素Aの寄生容量Ca2は発生していない。

40

## 【0088】

尚、画素Bの寄生容量Cb1は、図9及び図10中での図示を省略しているものの、画素Aと同様に発生しているが、画素Bの寄生容量Cb2は発生していない。

## 【0089】

ここで、上記した第1実施例の画素レイアウトにおいて、ゲート線56をスキャンU方向に走査した場合の画素Aの画素電極の駆動電圧波形を図11（a）に示し、ゲート線56をスキャンD方向に走査した場合の画素Aの画素電極の駆動電圧波形を図11（b）に示

50

している。尚、図 11 (a), (b) の各波形の動作については先に図 8 (a), (b) を用いて従来例 1 で説明しているのので、ここでは従来例 1 に対して異なる点のみを述べる。

#### 【0090】

この第 1 実施例の画素レイアウトの場合、上述したように画素 A の寄生容量  $C_{a2}$  は発生していないために、画素 A のフィードスルー電圧  $\Delta V_{p3}$  は画素 A の寄生容量  $C_{a1}$  にしか依存せず、図 11 (a) に示したスキャン U 方向、図 11 (b) に示したスキャン D 方向の両方で駆動した場合においても画素 A のフィードスルー電圧  $\Delta V_{p3}$  は変化しない。従って、一台の反射型液晶表示装置 10B で天吊り型と据え置き型とに兼用できる。

#### 【0091】

このため、対向電極電位  $V_{com}$  をオフセット電位分だけ補正して正負のバランスを 1 度調整してしまえば、ゲート線 56 のスキャン方向を変えてもフィードスルー電圧  $\Delta V_{p3}$  が変化せず、フリッカーや液晶 31 (図 9) の焼き付きの問題を解消することができる。

#### 【0092】

尚、上記した第 1 実施例では周知のフレーム反転駆動法を適用しているので、信号線 53 からビデオ信号を入力する場合には、信号線 53 を MOSFET 14 のドレイン電極 18 か、又は、ソース電極 20 のいずれか一方に接続すれば良いが、ここでは上述したように信号線 53 をドレイン電極 18 に接続している。尚、信号線 53 を MOSFET 14 のソース電極 20 に接続した場合には、接続線 62 に MOSFET 14 のドレイン電極 18 と保持容量部 C の容量電極用コンタクト 24 とが接続され、更に、接続線 62 が第 1、第 2

#### 【0093】

次に、第 1 実施例の反射型液晶表示装置 10B を一部変形させた変形例について図 12 を用いて簡略に説明する。

#### 【0094】

図 12 は第 1 実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第 1 メタル膜側から半導体基板 (Si 基板) 側を見た平面図である。

#### 【0095】

図 12 に示した如く、第 1 実施例の反射型液晶表示装置 10B を一部変形させた変形例の反射型液晶表示装置 10B' では、第 1 実施例の画素レイアウトに対して上下を反転させたものであり、即ち、例えば一つの列上で反射型液晶表示装置 10B' の底面側に一方の画素 A を配置し、且つ、一つの列と同一列上で一方の画素 A の上方に隣り合わせて他方の画素 B を配置すると共に、各画素内の上方部位に保持容量部 C を配置する一方、各画素内の下方部位に MOSFET 14 を配置した場合に、例えば一方の画素 A の接続線 62 は、一方の画素 A と他方の画素 B との間を跨いで列方向 (垂直方向) に沿って画素駆動ごとに配線されており、一方の画素 A 内に延出させた一端側が一方の画素 A 内に形成した保持容量部 C の容量電極用コンタクト 24 及び第 1、第 2 メタル膜 26, 28 を介して一方の画素 A 内の形成した反射用画素電極 30 に接続されると共に、他方の画素 B 内に延出させた他端側が機能膜中の第 1 層間絶縁膜 25 (図 1) を介して一方の画素 A 用のゲート線 56 と交差して、他方の画素 B 内に形成した MOSFET 14 のソース電極 20 に接続されている。

#### 【0096】

従って、変形例の反射型液晶表示装置 10B' を天吊り型として使用してゲート線 56 をスキャン U 方向に走査した場合に第 1 実施例とは逆に画素 A, 画素 B の順にスキャンされ、一方、据え置き型として使用してゲート線 56 をスキャン D 方向に走査した場合に第 1 実施例とは逆に画素 B, 画素 A の順にスキャンされるものの、第 1 実施例と同様にゲート線 56 のスキャン方向が異なっても画素 A のフィードスルー電圧  $\Delta V_{p3}$  (図 11 (a), (b)) は変化しないので、一台の反射型液晶表示装置 10B' で天吊り型と据え置き型とに兼用できる。



【0097】

&lt;第2実施例&gt;

図13は本発明に係る第2実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Aと画素Bとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Aの寄生容量を説明するために図14に示したX-Y矢視線に沿って断面した断面図、

図14は本発明に係る第2実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Aと画素Bとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Aの寄生容量を説明するために図13に示したX-Y矢視線に沿って第1メタル膜側から半導体基板（Si基板）側を見た平面図、

図15は本発明に係る第2実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素Aのフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、（a）はゲート線をスキャンU方向に走査した場合を示し、（b）はゲート線をスキャンD方向に走査した場合を示した図である。

【0098】

図13及び図14に示した本発明に係る第2実施例の反射型液晶表示装置10Cの構造形態は、先に図9及び図10に示した本発明に係る第1実施例の反射型液晶表示装置10Bに対して一部異なっているだけである。

【0099】

この第2実施例の反射型液晶表示装置10Cでは、例えば一つの列上で反射型液晶表示装置10Cの天面側に一方の画素Aを配置し、且つ、一つの列と同一列上で一方の画素Aの下方に隣り合わせて他方の画素Bを配置すると共に、各画素内の上方部位にMOSFET14を配置する一方、各画素内の下方部位に保持容量部Cを配置した場合に、一方の画素Aと他方の画素Bとの間に跨がって列方向（垂直方向）に沿って画素駆動ごとに配線した一方の画素Aの接続線63は、一方の画素Aのゲート線56と交差させた部位の線幅を一方の画素A内に延出した線幅及び他方の画素B内に延出した線幅よりも幅狭くくびれさせている点が第1実施例と異なっている。

【0100】

尚、説明の便宜上、先に示した従来例1の反射型液晶表示装置10A及び第1実施例の反射型液晶表示装置10Bと同じ構成部材に対して同一の符号を付して図示すると共に、従来例1及び第1実施例と異なる構成部材に新たな符号を付して、従来例1及び第1実施例と異なる点のみを説明する。

【0101】

ここで、従来例1及び第1実施例と異なる点をより具体的に説明すると、一方の画素Aの接続線63は、一方の画素A内に広い幅で延出させた一端側の広幅部63aが一方の画素A内に形成した保持容量部Cの容量電極用コンタクト24及び第1、第2メタル膜26、28を介して一方の画素A内の反射用画素電極30に接続されると共に、他方の画素B内に広幅部63aより僅かに狭い幅で延出させた他端側の狭幅部63cが機能膜中の第1層間絶縁膜25（図1）を介して一方の画素A用のゲート線56と交差して、他方の画素B内に形成したMOSFET14のソース電極20に接続されている。この際、接続線63の他端側の狭幅部63cは、MOSFET14のソース電極20側に重なり合わないよう一端側の広幅部63aより僅かに狭い幅に設定されている。

【0102】

更に、一方の画素Aの接続線63は、一端側の広幅部63aと他端側の狭幅部63cとの間で一方の画素Aのゲート線56と交差する部位にくびれ部63bが形成されており、このくびれ部63bの線幅は、一方の画素A内に延出させた一端側の広幅部63aの線幅及び他方の画素B内に延出させた他端側の狭幅部63cの線幅よりも幅狭くくびれさせている。

【0103】

従って、一方の画素Aを駆動する場合には、画素Aの反射用画素電極30の下方に配置した保持容量部Cと、画素Aの反射用画素電極30と、画素Bの反射用画素電極30の下方

に一方の画素A用として配置したMOSFET14とを組にしている。

【0104】

尚、図14での図示を一部省略するものの、画素Aと同様に、他方の画素Bを駆動する場合には、画素Bの反射用画素電極30の下方に配置した保持容量部Cと、画素Bの反射用画素電極30と、不図示の画素Cの反射用画素電極30の下方に他方の画素B用として配置したMOSFET14とを組にすれば良い。

【0105】

上記のように各線を配線した時に、図14に示したように、画素Aの寄生容量 $C_{a1}'$ は、斜線枠で示した画素Aのゲート線56と、網点枠で示した画素Aの接続線63とが互いに重なり合う部位（オーバーラップ部位）で発生しているものの、重なり合う部位の接続線63に狭幅部63cとくびれ部63bとが形成されているために重なり合う部位（オーバーラップ部位）の面積が小さくなるので、画素Aの寄生容量 $C_{a1}'$ の値は前記した第1実施例における画素Aの寄生容量 $C_{a1}$ （図9、図10）の値よりも小さく設定することができる。一方、この第2実施例でも画素Bのゲート線56（図示せず）と画素Aの接続線63とは互いに重なり合う部位（オーバーラップ部位）がないために従来例1で述べたような画素Aの寄生容量 $C_{a2}$ は発生していない。

【0106】

尚、画素Bの寄生容量 $C_{b1}$ は、図13及び図14中での図示を省略しているものの、画素Aと同様に発生しているが、画素Bの寄生容量 $C_{b2}$ は発生していない。

【0107】

ここで、上記した第2実施例の画素レイアウトにおいて、ゲート線56をスキャンU方向に走査した場合の画素Aの画素電極の駆動電圧波形を図15（a）に示し、ゲート線56をスキャンD方向に走査した場合の画素Aの画素電極の駆動電圧波形を図15（b）に示している。

【0108】

この第2実施例の画素レイアウトの場合も、上述したように画素Aの寄生容量 $C_{a2}$ は発生していないために、画素Aのフィードスルー電圧 $\Delta V_{p4}$ は画素Aの寄生容量 $C_{a1}'$ しか依存せず、図15（a）に示したスキャンU方向、図15（b）に示したスキャンD方向の両方で駆動した場合においても画素Aのフィードスルー電圧 $\Delta V_{p4}$ は変化しない。従って、一台の反射型液晶表示装置10Cで天吊り型と据え置き型とに兼用できる。

【0109】

しかも、画素Aの寄生容量 $C_{a1}'$ の値は第1実施例の場合よりも小さくなっているために、画素電極電圧に対する寄生容量 $C_{a1}'$ の影響が小さくなり、画素Aのフィードスルー電圧 $\Delta V_{p4}$ を第1実施例の場合よりも小さくすることができる。

【0110】

この際、画素Aのフィードスルー電圧 $\Delta V_{p4}$ は信号電圧のレベルによって変化するため、画素Aのフィードスルー電圧 $\Delta V_{p4}$ が大きいと対向電極電位 $V_{com}$ をオフセットしきれずに液晶31（図13）にDC成分が発生することがあるものの、画素Aのフィードスルー電圧 $\Delta V_{p4}$ が小さいので液晶31の焼き付きや、フリッカー発生の原因をより確実に防止することができる。

【0111】

尚、上記した第2実施例でも周知のフレーム反転駆動法を適用しているので、信号線53からビデオ信号を入力する場合には、信号線53をMOSFET14のドレイン電極18か、又は、ソース電極20のいずれか一方に接続すれば良いが、ここでは上述したように信号線53をドレイン電極18に接続している。尚、信号線53をMOSFET14のソース電極20に接続した場合には、接続線63にMOSFET14のドレイン電極18と保持容量部Cの容量電極用コンタクト24とが接続され、更に、接続線63が第1、第2メタル膜26、28を介して一つの反射用画素電極30に接続されるものである。

【0112】

次に、第2実施例の反射型液晶表示装置10Cを一部変形させた変形例について図16を

用いて簡略に説明する。

#### 【0113】

図16は第2実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第1メタル膜側から半導体基板（Si基板）側を見た平面図である。

#### 【0114】

図16に示した如く、第2実施例の反射型液晶表示装置10Bを一部変形させた変形例の反射型液晶表示装置10C'では、第2実施例の画素レイアウトに対して上下を反転させたものであり、即ち、例えば一つの列上で反射型液晶表示装置10C'の底面側に一方の画素Aを配置し、且つ、一つの列と同一列上で一方の画素Aの上方に隣り合わせて他方の画素Bを配置すると共に、各画素内の上方部位に保持容量部Cを配置する一方、各画素内の下方部位にMOSFET14を配置した場合に、例えば一方の画素Aの接続線63は、一方の画素Aと他方の画素Bとの間をくびれさせて跨いで列方向（垂直方向）に沿って画素駆動ごとに配線されており、一方の画素A内に延出させた一端側が一方の画素A内に形成した保持容量部Cの容量電極用コンタクト24及び第1、第2メタル膜26、28を介して一方の画素A用の反射用画素電極30に接続されると共に、他方の画素B内に延出させた他端側が機能膜中の第1層間絶縁膜25（図1）を介して一方の画素A用のゲート線56と交差して、他方の画素B内に形成したMOSFET14のソース電極20に接続されている。

#### 【0115】

従って、変形例の反射型液晶表示装置10C'を天吊り型として使用してゲート線56をスキャンU方向に走査した場合に第2実施例とは逆に画素A、画素Bの順にスキャンされ、一方、据え置き型として使用してゲート線56をスキャンD方向に走査した場合に第2実施例とは逆に画素B、画素Aの順にスキャンされるものの、第2実施例と同様にゲート線56のスキャン方向が異なっても画素Aのフィードスルー電圧 $\Delta V_{p4}$ （図15（a）、（b））は変化しないので、一台の反射型液晶表示装置10C'で天吊り型と据え置き型とに兼用できる。

#### 【0116】

##### 【発明の効果】

以上詳述した本発明に係る反射型液晶表示装置によると、反射型液晶表示装置の使用形態（例えば、天吊り型、据え置き型）に応じてゲート線のスキャン方向を変更できるように構成した場合に、とくに、同一列上に一方の画素と他方の画素とを隣り合わせて配置した際、同一列上にあって、互いに隣り合わせて配置した2つの画素間を跨いで配線された接続線は、一端が一方の画素内に形成した保持容量部の容量電極用コンタクト及び反射用画素電極に接続されると共に、他端が機能膜中の絶縁膜を介して一方の画素用のゲート線と交差して、他方の画素B内に形成したスイッチング素子のソース電極（又はドレイン電極）に接続されているため、垂直シフトレジスタでゲート線をスキャンU方向又はスキャンD方向に変更しても、ゲート線のスキャンU方向、スキャンD方向に伴って生じる一つの画素のフィードスルー特性が両方向で略同じになるので、フリッカーやを液晶の焼きつきを防止することができる。

#### 【0117】

また、上記した本発明に係る反射型液晶表示装置において、前記接続線は、ゲート線と交差させた部位の線幅を一方の画素内に延出させた線幅及び他方の画素内に延出させた線幅よりも幅狭くくびれさせたため、一つの画素のフィードスルー量を小さく設定できるので、フリッカーやを液晶の焼きつきをより確実に防止することができる。

##### 【図面の簡単な説明】

【図1】従来例1の反射型液晶表示装置において、一つの画素を模式的に拡大して示し、且つ、図5に示したX-Y矢視線に沿って断面した断面図である。

【図2】従来例1の反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するため図であり、（a）はアクティブマトリックス駆動回路のブロック図、（b）は（a）中のTR部を拡大して示した回路図である。

【図 3】従来例 1 の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A、B の寄生容量を説明するための回路図である。

【図 4】従来例 1 の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 5 に示した X-Y 矢視線に沿って断面した断面図である。

【図 5】従来例 1 の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 4 に示した X-Y 矢視線に沿って第 1 メタル膜側から半導体基板 (S i 基板) 側を見た平面図である。

10

【図 6】従来例 2 のアクティブマトリックス型液晶表示素子を示した等価回路図である。

【図 7】従来例 1 の反射型液晶表示装置の使用形態を説明するための模式図であり、(a) は天吊り型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャン U 方向に走査する状態を示し、(b) は据え置き型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャン D 方向に走査する状態を示した図である。

【図 8】従来例 1 の反射型液晶表示装置において、ゲート線のスキャン方向により画素 A のフィールドスルー特性が異なる状態を説明するための信号波形図であり、(a) はゲート線をスキャン U 方向に走査した場合を示し、(b) はゲート線をスキャン D 方向に走査した場合を示した図である。

【図 9】本発明に係る第 1 実施例の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 10 に示した X-Y 矢視線に沿って断面した断面図である。

20

【図 10】本発明に係る第 1 実施例の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 9 に示した X-Y 矢視線に沿って第 1 メタル膜側から半導体基板 (S i 基板) 側を見た平面図である。

【図 11】本発明に係る第 1 実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素 A のフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、(a) はゲート線をスキャン U 方向に走査した場合を示し、(b) はゲート線をスキャン D 方向に走査した場合を示した図である。

30

【図 12】第 1 実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第 1 メタル膜側から半導体基板 (S i 基板) 側を見た平面図である。

【図 13】本発明に係る第 2 実施例の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 14 に示した X-Y 矢視線に沿って断面した断面図である。

【図 14】本発明に係る第 2 実施例の反射型液晶表示装置において、複数の画素のうち例えば画素 A と画素 B とを一つの列上で列方向に上下隣り合わせて配置した時に、画素 A の寄生容量を説明するために図 13 に示した X-Y 矢視線に沿って第 1 メタル膜側から半導体基板 (S i 基板) 側を見た平面図である。

40

【図 15】本発明に係る第 2 実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素 A のフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、(a) はゲート線をスキャン U 方向に走査した場合を示し、(b) はゲート線をスキャン D 方向に走査した場合を示した図である。

【図 16】第 2 実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第 1 メタル膜側から半導体基板 (S i 基板) 側を見た平面図である。

【符号の説明】

10B … 本発明に係る第 1 実施例の反射型液晶表示装置、

10B' … 本発明に係る第 1 実施例を一部変形させた反射型液晶表示装置、

10C … 本発明に係る第 2 実施例の反射型液晶表示装置、

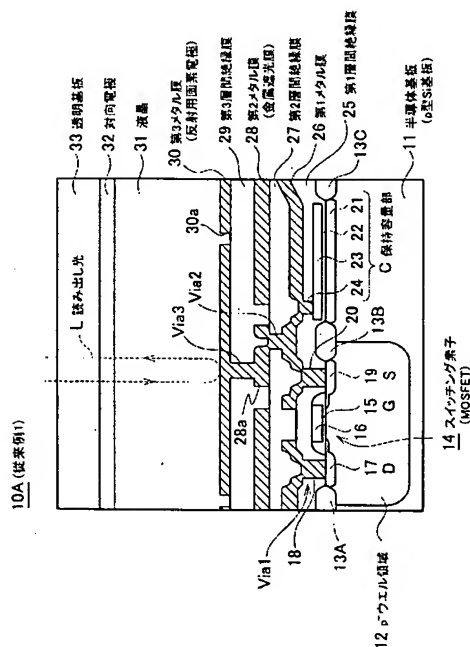
50

- 10C' ... 本発明に係る第2実施例を一部変形させた反射型液晶表示装置、  
 11 ... 半導体基板 (p型Si基板)、12 ... p<sup>-</sup>ウエル領域、  
 13A ~ 13C ... フィールド酸化膜、  
 14 ... スwitchング素子 (MOSFET)、15 ... ゲート酸化膜、  
 16 ... ゲート電極、17 ... ドレイン領域、18 ... ドレイン電極、  
 19 ... ソース領域、20 ... ソース電極、  
 21 ... 拡散容量電極、22 ... 絶縁膜、23 ... 容量電極、  
 24 ... 容量電極用コンタクト、  
 25 ... 第1層間絶縁膜、26 ... 第1メタル膜、27 ... 第2層間絶縁膜、  
 28 ... 第2メタル膜 (金属遮光膜)、  
 29 ... 第3層間絶縁膜、  
 30 ... 反射用画素電極 (第3メタル膜)、  
 31 ... 液晶、32 ... 透明な対向電極、33 ... 透明基板 (ガラス基板)、  
 50 ... アクティブマトリクス駆動回路、  
 51 ... 水平シフトレジスタ回路、52 ... ビデオスイッチ、53 ... 信号線、  
 54 ... ビデオ線、55 ... 垂直シフトレジスタ回路、56 ... ゲート線、  
 58 ... COM線、59 ... COM電位用コンタクト、  
 60 ... ウエル線、61 ... ウエル電位用コンタクト、  
 62 ... 第1実施例の接続線、  
 63 ... 第2実施例の接続線、  
 63a ... 広幅部、63b ... くびれ部、63c ... 狭幅部、  
 Ca1 ... 第1実施例の寄生容量、  
 Ca1' ... 第2実施例の寄生容量、  
 C ... 保持容量部、D ... ドレイン、G ... ゲート、S ... ソース。

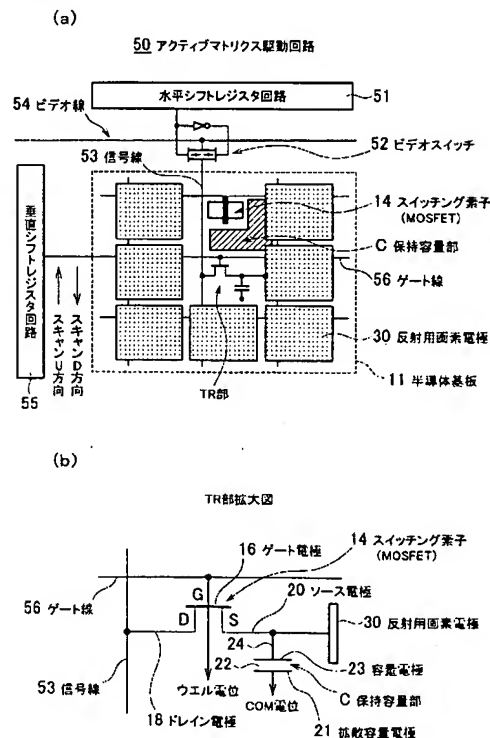
10

20

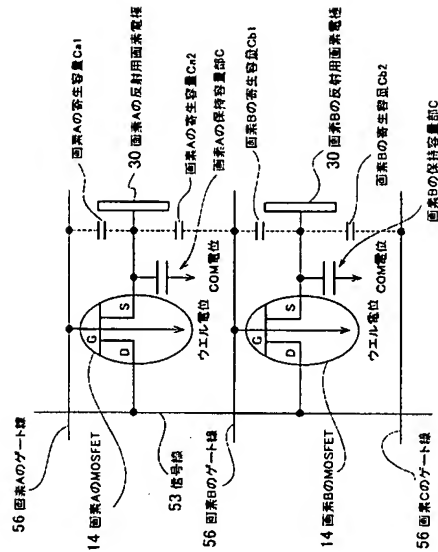
【図1】



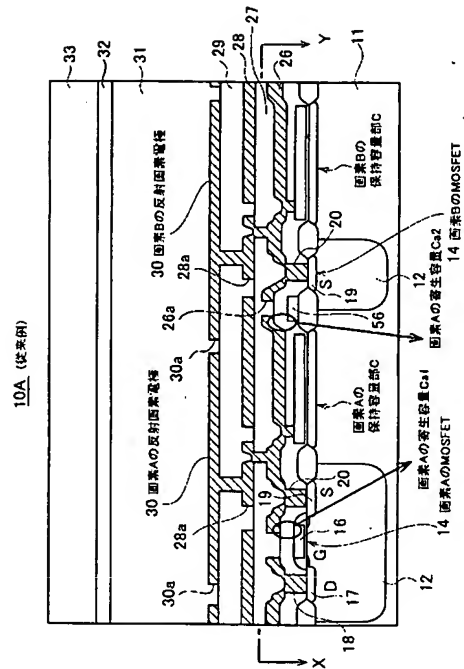
【図2】



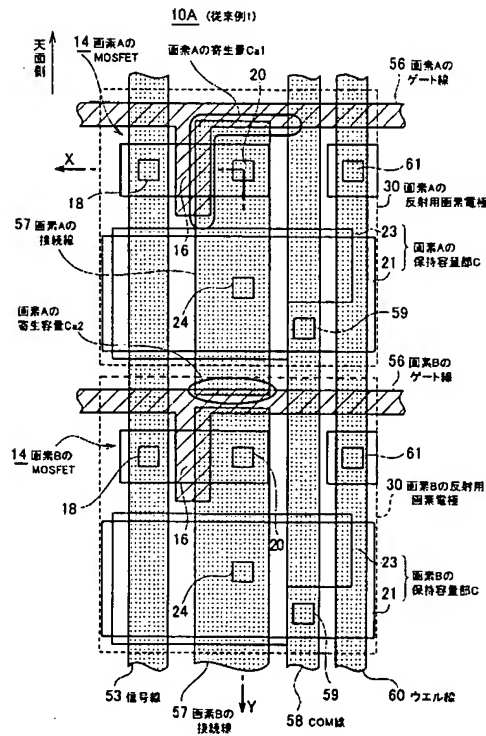
【図3】



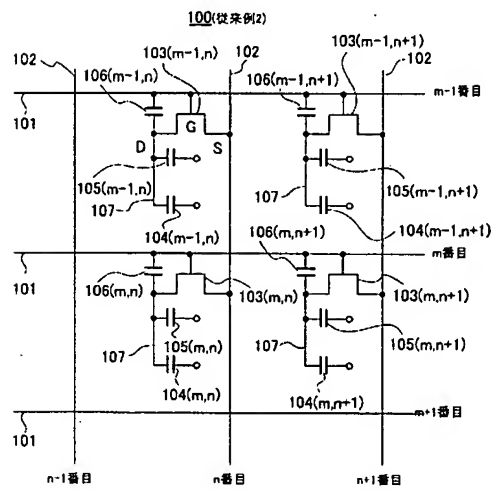
【図4】



【図5】

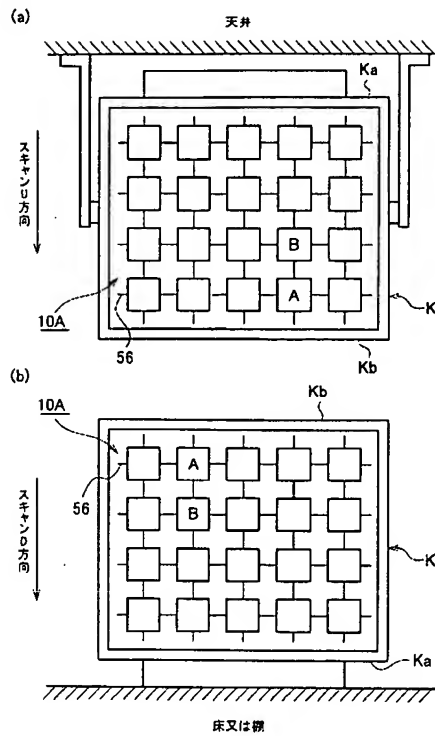


【図6】

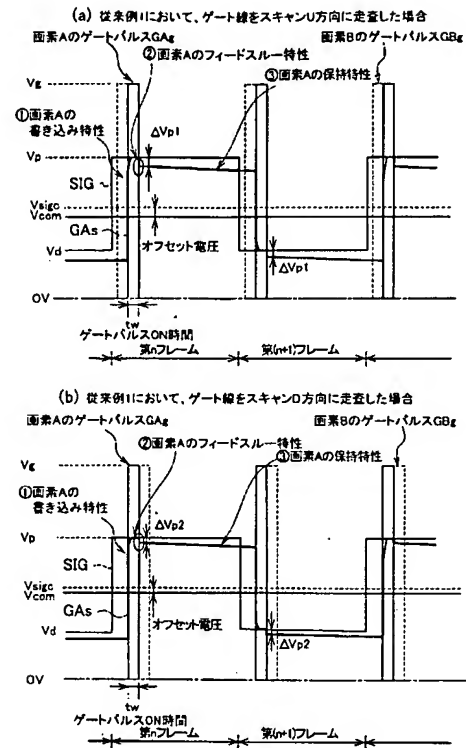


- 101:変圧線
- 102:信号線
- 103:スイッチング素子(TFT素子)
- 104:液晶容量
- 105:配線容量
- 106:寄生容量
- 107:画素電極

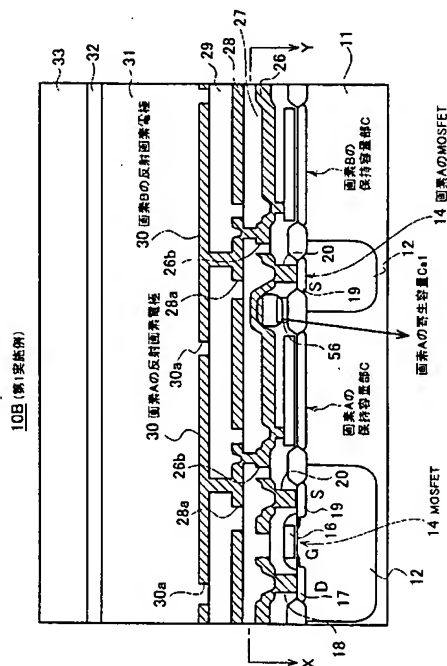
【図 7】



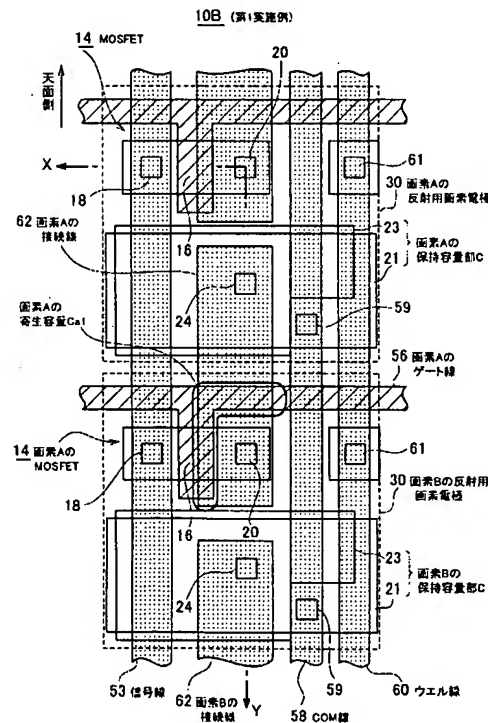
【図 8】



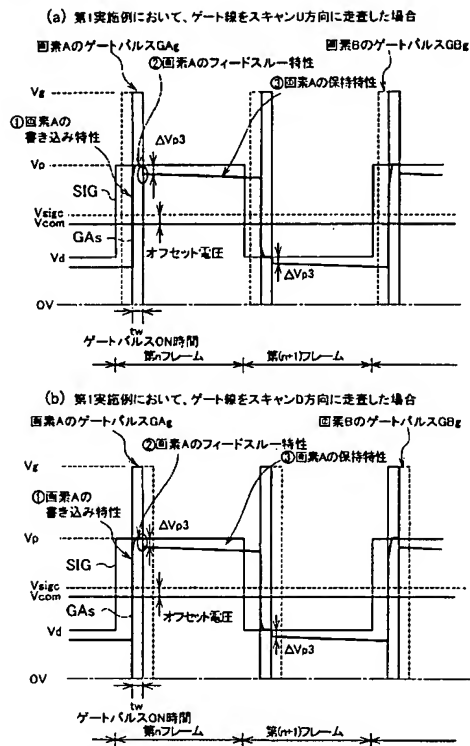
【図 9】



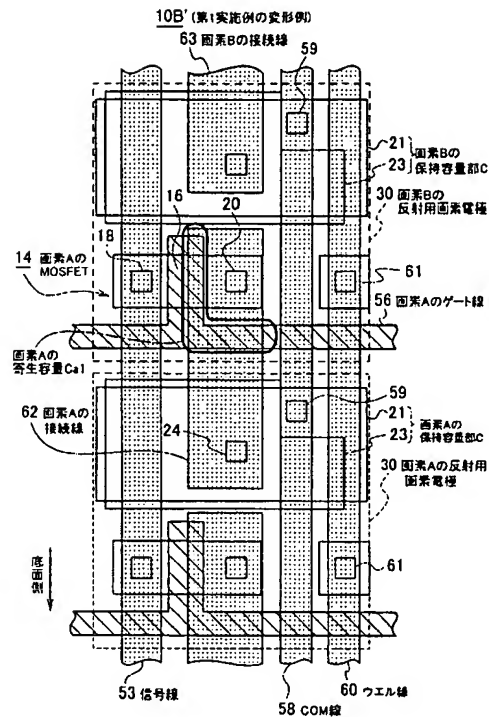
【図 10】



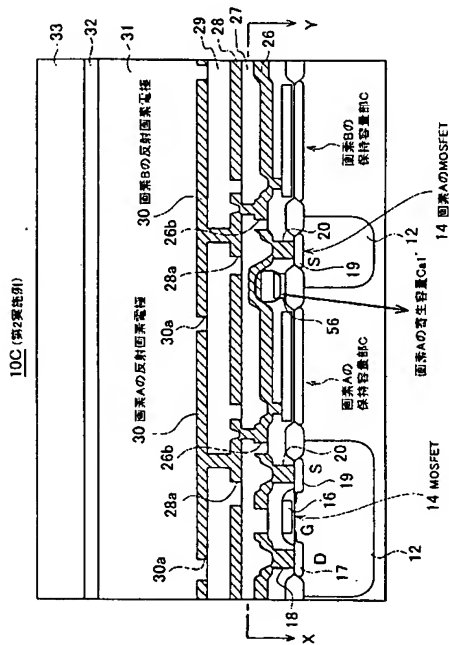
【図 11】



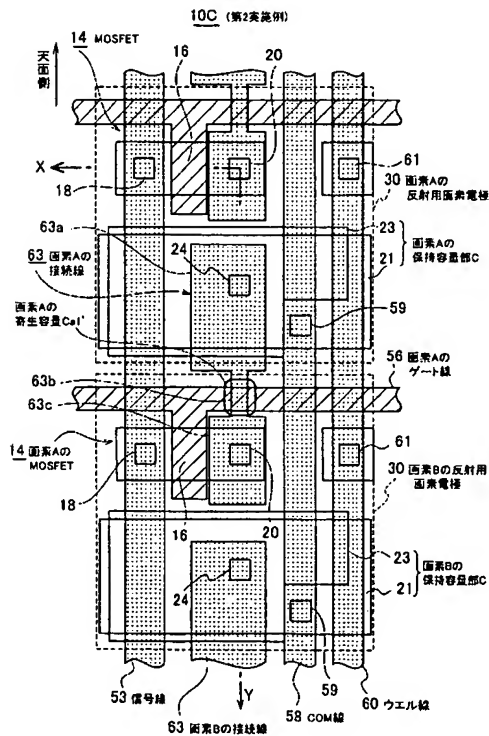
【図 12】



【図 13】

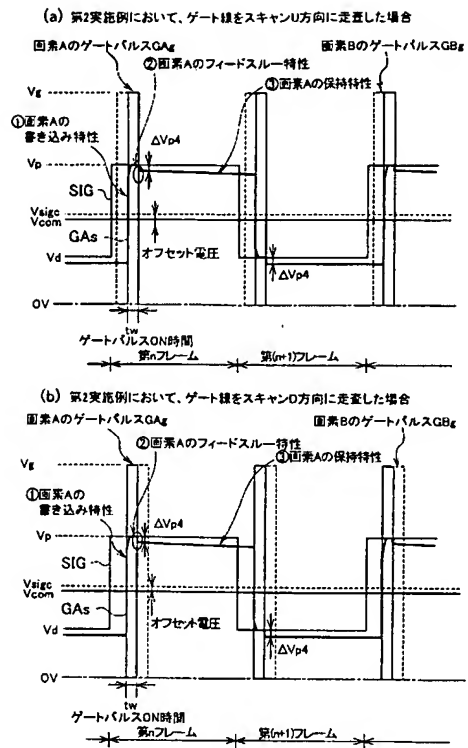


【図 14】

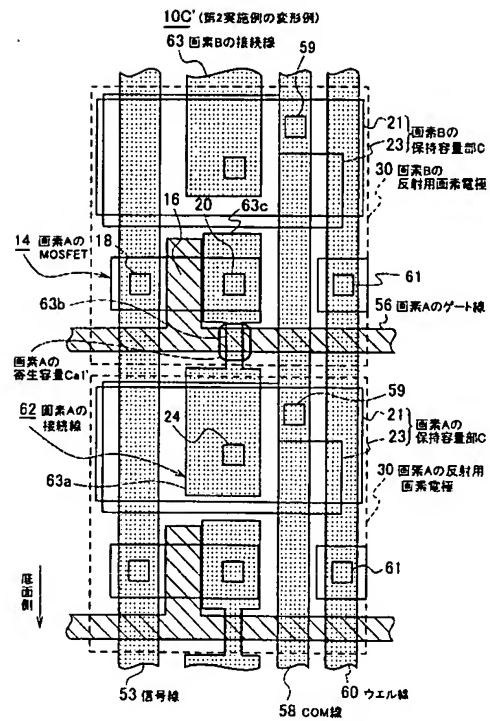




【図15】



【図16】



---

フロントページの続き

F ターム(参考) 2H092 GA12 GA24 HA05 JA23 JA24 JA34 JA37 JA41 JA46 JB07  
JB11 JB22 JB31 JB51 JB56 JB61 KA03 MA13 MA18 MA27  
NA01 PA06 PA12 RA05